

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2001-306029

(P2001-306029A)

(43) 公開日 平成13年11月2日 (2001.11.2)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
G 0 9 G 3/28		C 0 9 G 3/20	6 1 1 A 5 C 0 8 0
3/20	6 1 1		6 4 1 E
	6 4 1	3/28	6 4 1 R
			J

審査請求 未請求 請求項の数10 O L (全 11 頁)

(21) 出願番号 特願2000-123583(P2000-123583)

(22) 出願日 平成12年4月25日 (2000.4.25)

(71) 出願人 599132708

富士通日立プラズマディスプレイ株式会社  
神奈川県川崎市高津区坂戸3丁目2番1号

(72) 発明者 大塚 昇

神奈川県川崎市高津区坂戸3丁目2番1号  
富士通日立プラズマディスプレイ株式会  
社内

(72) 発明者 佐々木 孝

神奈川県川崎市高津区坂戸3丁目2番1号  
富士通日立プラズマディスプレイ株式会  
社内

(74) 代理人 100086933

弁理士 久保 幸雄

最終頁に続く

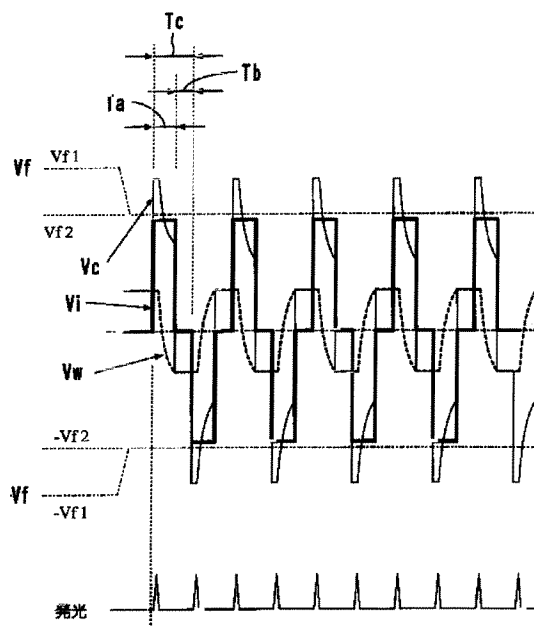
(54) 【発明の名称】 AC型PDPの駆動方法

(57) 【要約】

【課題】低い電圧で表示放電を生じさせて消費電力を低減し、発光効率を高めることを目的とする。

【解決手段】AC型PDPに対して、空間電荷が有効なプライミング効果を生む $2\mu\text{m}$ 以下の時間間隔 $T_c$ で表示放電が生じ、かつ表示放電が生じる毎に表示電極間の壁電圧の極性が反転するように、表示電極間に交番極性の電圧パルス列 $V_i$ を印加する。

本発明に係るACパルスメモリ駆動の概念図



## 【特許請求の範囲】

【請求項1】壁電荷を利用して表示放電を生じさせるAC型PDPの駆動方法であって、

空間電荷が有効なプライミング効果を生む時間間隔で表示放電が生じ、かつ表示放電が生じる毎に表示電極間の壁電圧の極性が反転するように、当該表示電極間に交番極性の電圧パルス列を印加することを特徴とするAC型PDPの駆動方法。

【請求項2】1パルスあたりの壁電荷蓄積時間は0.3 $\mu$ s以上であり、1つのパルスとその次のパルスとの間の印加休止期間は0.3 $\mu$ s以下であり、前記時間間隔は0.3 $\mu$ s～2 $\mu$ sの範囲内の値である請求項1記載のAC型PDPの駆動方法。

【請求項3】壁電荷を利用して表示放電を生じさせるAC型PDPの駆動方法であって、

表示電極間に放電開始電圧よりも高い電圧を印加して放電を生じさせ、それによって形成された壁電荷を利用して放電開始電圧よりも低い電圧の印加で放電を生じさせた後、空間電荷が有効なプライミング効果を生む時間間隔で表示放電が生じ、かつ表示放電が生じる毎に表示電極間の壁電圧の極性が反転するように、当該表示電極間に交番極性の電圧パルス列を印加することを特徴とするAC型PDPの駆動方法。

【請求項4】階調表示を行うためにフレームを複数のサブフィールドに分割し、各サブフィールドに互いに時間的に分離したアドレス期間および表示期間を割り当て、当該表示期間に壁電荷を利用して表示放電を生じさせるAC型PDPの駆動方法であって、

前記アドレス期間において、その後の前記表示期間に点灯させるべきセルに壁電荷を形成し、

前記表示期間において、表示電極間に放電開始電圧よりも低い電圧を印加して放電を生じさせた後、空間電荷が有効なプライミング効果を生む時間間隔で表示放電が生じ、かつ表示放電が生じる毎に表示電極間の壁電圧の極性が反転するように、当該表示電極間に波高値が前記電圧よりも低い交番極性の電圧パルス列を印加することを特徴とするAC型PDPの駆動方法。

【請求項5】表示ラインを複数のグループに分け、各グループについて、他のグループと異なる順序で前記複数のサブフィールドを表示する請求項4記載のAC型PDPの駆動方法。

【請求項6】壁電荷を利用して表示放電を生じさせるAC型PDPの駆動方法であって、

設定順序で表示ラインを選択してアドレッシングを行いながら、アドレッシングが終了した表示ラインから逐次に、空間電荷が有効なプライミング効果を生む時間間隔で表示放電が生じ、かつ表示放電が生じる毎に表示電極間の壁電圧の極性が反転するように、当該表示電極間に交番極性の電圧パルス列を印加することを特徴とするAC型PDPの駆動方法。

【請求項7】放電開始電圧よりも高い電圧を印加して放電を生じさせた後、その印加電圧を緩やかに降下させることによって放電開始寸前の帯電状態を形成し、消去形式のアドレッシングを行う請求項6記載のAC型PDPの駆動方法。

【請求項8】前記電圧パルス列の印加の途中にも、少なくとも1回のアドレッシングを行って階調表示をする請求項6記載のAC型PDPの駆動方法。

【請求項9】フレームを複数のサブフィールドに分割し、各サブフィールドに対して輝度の重み付けをし、各サブフィールドについて輝度の重みに応じた回数の表示放電を生じさせる階調表示に際して、表示ラインを複数のグループに分け、各グループについて、他のグループと異なる順序で前記複数のサブフィールドを表示する請求項6記載のAC型PDPの駆動方法。

【請求項10】隣り合う表示ラインどうしを互いに異なるグループに振り分ける請求項7記載のAC型PDPの駆動方法。

## 【発明の詳細な説明】

本発明はAC型PDP (Plasma Display Panel) の駆動方法に関する。

【0001】PDPにおいて、大型化や高精細化にともなう消費電力の増加が、駆動デバイスの設計および発熱対策の上で問題となっている。輝度を維持しつつCRTと同程度に消費電力を抑える必要がある。

## 【0002】

【従来の技術】AC型PDPは、表示電極を誘電体で被覆することにより構造的にメモリ機能を有するように構成されている。表示電極とは、点灯（発光）のための放電である表示放電において、陽極または陰極となる電極である。カラーPDPの代表例である3電極面放電型では、これら表示電極と交差するようにアドレッシングのためのアドレス電極が配列される。

【0003】図10は従来のAC型PDPの駆動方法の概念図であり、表示放電に係る電圧推移を示している。AC型PDPによる表示に際しては、点灯すべきセルのみが十分に帯電した状態を形成するアドレッシングを行い、その後にセルに対して交番極性の維持パルス列を印加する。

【0004】従来の維持パルスの波高値である維持電圧 $V_s$ は次式を満たす。

$$V_f - V_w < V_s < V_f$$

$V_f$  : 放電開始電圧

$V_w$  : 壁電圧

壁電荷の存在するセルでは、壁電圧 $V_w$ が印加電圧 $V_i$ に重畳するので、セルに加わるセル電圧（実効電圧ともいう） $V_c$ が放電開始電圧 $V_f$ を越えて放電が起こり、発光が生じる。放電によって再形成される壁電荷の極性は以前と反対であるので、再形成にともなってセル電圧

$V_c$ が降下して放電が停止する。しかし、その後も暫くは印加電圧 $V_i$ が維持電圧 $V_s$ に保持されるので、空間電荷が表示電極に引き寄せられて壁電荷の蓄積が進む。従来法の特徴は、十分に多くの壁電荷を帯電させるために、維持パルスのパルス幅 $T_c'$ が $3\sim 4\mu s$ 程度の比較的に長い時間とされていたことである。放電にともなう空間電荷(準安定粒子)の発生で放電開始電圧 $V_f$ が見かけの上で一旦降下するが、維持パルスが立ち下がる頃には元のレベルにはほぼ戻っている。その後、以前と反対の極性の維持パルスを印加すると、再び放電が生じて壁電荷の再形成が始まる。以降、同様に維持パルスを印加する毎に放電が生じる。放電の周期は $4\sim 5\mu s$ 程度であるので、視覚の上では点灯は連続的となる。

【0005】一方、DC型PDPにおいては、十分に高い電圧をセルに印加して放電を生じさせた後、空間電荷が消滅する時間よりも短い周期のパルス列を印加して点灯状態を持続させる、いわゆるパルスメモリ駆動法が用いられている。そして、このパルスメモリ駆動法をAC型PDPに適用することが、特開平11-282415号公報に記載されている。すなわち、同公報の段落番号0112~0116および図6によって、パルス幅 $1.3\mu s$ /休止期間 $0.7\mu s$ とした交番極性の維持パルス列を印加する駆動形態が開示されている。最初の維持パルスの立上がり(前縁)で放電を生じさせて壁電荷を形成し、立下がり(後縁)で壁電荷による自己消去放電を生じさせる。その自己消去放電による空間電荷が残留している間に2番目の維持パルスを印加し、実質的に壁電荷によらない前縁の放電と壁電荷による後縁の放電とを順に生じさせる。以降、同様に各維持パルスの印加毎に2回ずつ放電を生じさせる。

【0006】

【発明が解決しようとする課題】AC型PDPにおいて、「表示放電に係る印加電圧を低くして放電強度を小さくすれば発光効率が向上する」という事実が知られている。向上の理由としては、駆動回路および表示電極の電気抵抗による電力損失が減少すること、およびガス発光または蛍光体発光の励起飽和が軽減されることが挙げられる。しかし、単純に印加電圧を低くすれば、表示の安定性が損なわれる。低い印加電圧で確実に駆動するには、セル構造および材料選定の大幅な見直しが必要であり、実際には単純に印加電圧を低くして発光効率を高めるのは難しい。

【0007】図10で説明した従来のAC型PDPの駆動方法(以下、壁電荷メモリ駆動法という)を用いた場合には、表示放電を生じさせることによるパネルおよび駆動回路の過熱をさけるために、1フィールド当たり1000ペア程度(第1極性のパルスとその次の第2極性のパルスを1ペアとして数える)の維持パルスしか印加することができなかった。維持パルスのパルス幅を確保する上でのパルス数の上限も1000ペア程度であっ

た。このようなパルス数の制限があるので、特に低輝度範囲の階調を忠実に再現することができなかった。

【0008】また、特開平11-282415号公報に記載された駆動方法では、自己消去放電が生じる多量の壁電荷を形成するために、それ相応のパルス幅および波高値を設定しなければならない。パルス幅については壁電荷メモリ駆動法と比べて大幅に短縮することができるものの、印加電圧の低減(発光効率の向上)について大きな効果を得ることが難しかった。

【0009】本発明は、できるだけ低い電圧で表示放電を生じさせて消費電力を低減し、それによって発光効率を高めることを目的としている。他の目的は、動画偽輪郭の目立たない高品位の表示を実現することである。

【0010】

【課題を解決するための手段】本発明においては、図1のように壁電荷と空間電荷の双方を利用して複数回の表示放電を連続的に生じさせる。壁電荷を利用するため、表示放電が生じる毎に表示電極間の壁電圧 $V_w$ の極性が反転するように、波形が交番極性の電圧パルス列となる駆動電圧 $V_i$ を表示電極間に印加する。典型的なセル構造条件において、各回の表示放電後の電荷蓄積時間 $T_a$ を $0.3\mu s$ 以上とすれば、次の表示放電に必要な量の壁電荷を形成することができる。放電後の経過時間がおおよそ $2\mu s$ 以内であれば、十分な量の空間電荷によって有効なプライミング効果が生じる。したがって、表示放電の周期 $T_c$ としては、 $0.3\sim 2\mu s$ の範囲内の値であればよい。また、例えば駆動デバイスの短絡防止のために印加電圧を接地レベルとする休止期間 $T_b$ を設ける場合には、壁電荷が中和して消滅するのを避けるために、休止期間 $T_b$ を $0.3\mu s$ 以下とする必要がある。

【0011】AC型PDPでは、壁電荷の形成によってセル電圧 $V_c$ が降下するので、表示放電が持続しない。このため、DC型に適用されるパルスメモリ駆動法をそのままAC型に適用しても、安定した駆動は望めない。空間電荷量にばらつきが生じ易いからである。壁電荷の存在も不安定の要因となる。本発明においては、AC型の特質を生かすべく壁電荷を積極的に利用する。

【0012】図1のように放電開始電圧 $V_f$ の値が空間電荷によって $V_{f1}$ から $V_{f2}$ に降下しており、かつ適度の壁電圧 $V_w$ が生じている状態で電圧パルス列( $V_i$ )の印加を開始する。放電開始電圧 $V_f$ の降下分だけ、壁電荷メモリ駆動法よりも低い電圧で表示放電が起こる。つまり、放電強度を小さくして発光効率を向上させることができる。パルスの後縁での壁電圧 $V_w$ が $V_f$ よりも十分に低いので、自己消去放電は起こらず壁電荷が残る。表示放電で生じた空間電荷で放電開始電圧 $V_f$ が低く保たれている状態で、以前と反対極性のパルスを印加すれば、再び壁電荷メモリ駆動法よりも低い電圧で表示放電が起こる。このようにして輝度に応じた回数の表示放電を生じさせる本発明の駆動方法を、以下におい

て“ACパルスメモリ駆動法”という。

【0013】ACパルスメモリ駆動法では、表示放電の周期 $T_c$ が最大でも $2\mu s$ 程度であり、放電強度を小さくして発熱を抑えることができるので、時間的にも電力的にもパルス数の制限が緩やかである。具体的には、1フィールド当たり2000ペアのパルスを印加することができる。このことは、階調性の大幅な改善を可能にする。

【0014】PDPに印加される電圧パルスの波形は、電気抵抗・インダクタンス・浮遊容量などで歪むが、放電電流が小さいほど歪みが軽微となり、動作電圧マージンおよび輝度の表示負荷率依存性が小さくなる。ACパルスメモリ駆動では、壁電荷メモリ駆動と比べて1回の放電電流が30～50%程度小さく、ピーク電流も同程度に小さくすることができる。ピーク電流が小さくなれば、駆動回路およびパネルの電気抵抗が増大しても良好な動作／表示特性が得られるので、より小型の電源／駆動素子を使用したり、電極の膜厚を薄くしたりすることによって表示装置の価格を下げるができる。

【0015】

【発明の実施の形態】〔装置構成〕図2は本発明に係る表示装置の構成図である。

【0016】表示装置100は、 $m \times n$ 個のセルからなる3電極面放電構造の画面をもつAC型のPDP1と、個々のセルを選択的に発光させるためのドライブユニット70とから構成されており、壁掛け式テレビジョン受像機、コンピュータシステムのモニターなどとして利用される。

【0017】PDP1では、表示電極Xおよび表示電極Yが共に同一方向（ここでは水平方向）に延び、隣り合う一対の表示電極X、Yによって1つの表示ラインの発光制御が行われる。そして、表示ラインの個々のセルを選択するため、表示電極群と交差するようにアドレス電極Aが配列されている。

【0018】ドライブユニット70は、駆動制御を担う制御回路71、電源回路73、Xドライバ74、Yドライバ77、およびアドレスドライバ80を有している。ドライブユニット70にはTVチューナ、コンピュータなどの外部装置からR、G、Bの3色の輝度レベルを示す多値画像データであるフレームデータDfが、各種の同期信号とともに入力される。制御回路71は、フレームデータDfを一時的に記憶するフレームメモリ711および駆動電圧の制御データを記憶する波形メモリ712を備えている。

【0019】広く知られているように、PDPによる表示では、2値の点灯制御によって階調再現を行うために、入力画像である時系列のフレームまたはそれを構成するフィールド（入力インタレース形式の場合）を所定数のサブフィールドに分割する。フレームデータDfは、フレームメモリ711に一旦格納された後、階調表

示のためのサブフィールドデータDs fに変換されてアドレスドライバ80へ転送される。サブフィールドデータDs fはq個のサブフィールドを表すqビットの表示データであって（1セル当たり1ビットの表示データがq画面分集まったものとも言える）、サブフィールドは解像度 $m \times n$ の2値画像である。サブフィールドデータDs fの各ビットの値は、該当する1つのサブフィールドにおけるセルの発光の要否、厳密にはアドレス放電の要否を示す。

【0020】Xドライバ74は、n本の表示電極Xの電位を一括に制御する。Yドライバ77は、アドレッシングのためのスキャン回路78と表示放電のための共通ドライバ79とからなる。スキャン回路78は表示ライン選択のためのスキャンパルス印加手段である。アドレスドライバ80は、サブフィールドデータDs fに基づいて、計m本のアドレス電極Aの電位を制御する。これらドライバには電源回路73から図示しない配線導体を介して所定の電力が供給される。

【0021】図3は本発明に係るPDPのセル構造を示す図である。図3では内部構造を示すために一対の基板構体を分離させた状態が描かれている。PDP1は一対の基板構体（基板上に放電セルの構成要素を設けた構造体）10、20からなる。表示電極X、Yは、前面側のガラス基板11の内面に配列されており、それぞれが面放電ギャップを形成する透明導電膜41と画面の水平方向の全長にわたって延びる金属膜（バス電極）42とからなる。表示電極X、Yを被覆するように厚さ30～50 $\mu m$ 程度の誘電体層17が設けられ、誘電体層17の表面には保護膜18としてマグネシア（ $MgO$ ）が被着されている。アドレス電極Aは、背面側のガラス基板21の内面に配列されており、誘電体層24によって被覆されている。誘電体層24の上には、高さ150 $\mu m$ 程度の帯状の隔壁29が配列され、これらの隔壁29によって放電空間が列毎に区画されている。放電空間のうちの各列に対応した列空間31は全ての表示ラインに跨がって連続している。隔壁29の側面を含めて背面側の内面を被覆するように、カラー表示のためのR、G、Bの3色の蛍光体層28R、28G、28Bが設けられている。図中の斜体アルファベットR、G、Bは蛍光体の発光色を示す。蛍光体層28R、28G、28Bは放電ガスが放つ紫外線によって局部的に励起されて発光する。なお、隔壁については放電セル単位で放電空間を区画するような格子形状にすることも可能である。

【0022】〔駆動方法〕

〔実施例1〕図4は実施例1の電圧波形図である。

【0023】実施例1においてACパルスメモリ駆動法は、アドレッシングと表示放電とを時間的に分離する手法（ADS: Address Display Separation）で階調表示を行う場合に適用される。

【0024】フレームを構成する個々のサブフィールド

に割り当てられるサブフィールド期間  $T_{sf}$  は、画面全体の帯電を初期化するリセット期間  $T_R$ 、アドレッシングを行うアドレス期間  $T_A$ 、および表示放電を生じさせるサステイン期間  $T_S$  に分かれる。

【0025】リセット期間TRにおいて、全ての表示ラインの表示電極間（以下、X-Y間と記す）に維持電圧Vsの2倍程度（約340ボルト）の電圧を印加し、全てのセルで強い放電を生じさせる。図では、表示電極Xと表示電極Yとに互いに反対極性のパルスPrx, Pryを印加している。電圧印加を停止すると、それまでに蓄積した壁電荷による自己消去放電が生じ、壁電荷が消失する。

【0026】アドレス期間TAでは、表示電極Yに1本ずつ順にスキャンパルスPy（波高値Vy：約-140ボルト）を印加し、それと並行して選択表示ラインのサブフィールドデータで決まる特定のアドレス電極AにアドレスパルスPa（波高値Va：約60ボルト）を印加する。すなわち、サステイン期間TSに点灯させるべきセルに壁電荷を形成する。表示電極Xについては、不要の放電を防ぐために、適当な電位Vxにバイアスしておく。ここまでのシーケンスは壁電荷メモリ駆動法の場合と同様である。

【0027】サステイン期間TSは、安定化期間TSsとACパルスメモリ駆動期間TSdとからなる。安定化期間TSsにおいて、X-Y間にパルス幅が数 $\mu$ sの維持パルスPsを印加し、アドレッシングで壁電荷が形成されたセルのみで放電を生じさせる。1回～数回の放電で帯電が安定化し、以後のパルス印加に呼応して迅速に放電が始まるようになる。安定化期間TSsの最後にパルス幅が1 $\mu$ sの維持電圧パルスPs dを印加し、壁電荷メモリ駆動形式で確実に放電を起こさせた後、直ちにX-Y間に反対極性の電圧パルスVdを印加してACパルスメモリ駆動に移行する。放電直後には空間電荷が存在するので、壁電荷メモリ駆動に係る維持電圧Vsよりも10～30%低い電圧で放電が起こる。2 $\mu$ s以下の周期で交番極性の電圧パルス列を印加すると、表示放電が持続する。1回の表示放電の発光強度は、壁電荷メモリ駆動における発光強度の半分程度になるが、放電周期が短いので、パルス数を増やすことによって壁電荷メモリ駆動よりも高輝度を得ることが可能である。

【００２８】本実施例では、従来の壁電荷メモリ駆動法と同様に初期化／アドレッシング／表示放電の過程をたどり、放電条件が安定してからＡＣパルスメモリ駆動に移行するので、従来とはほぼ同じ駆動回路を用いて、ＡＣパルスメモリ駆動の長所である発光効率の向上・ピーク電流低減・パルス数補正による階調特性の向上を図ることができる。

【0029】図5はサブフィールドの表示順序の一例を示す図である。図中の四角形で囲まれた数字（1，2，4，8，16，32）、およびサステイン期間の参照符

号TSに添えられた数字(1, 2, 4, 8, 16, 32)は、該当するサブフィールドの輝度の重みを示す。

【0030】一般にADS形式の階調表示では、各サブフィールドは1画面分の全体が同時に表示される。これに対して、図示のシーケンスでは、各サブフィールドが表示ライン単位で複数の部分に区分され、部分単位で時間的にずらして表示される。

【0031】表示ラインをサブフィールド数と同数（ここでは6）のグループに分ける。そのとき配列順に一定数ずつ分けてもよいが、各グループに属する表示ラインの配列順位が飛び飛びになるように分けるのが好ましい。グループ毎にX-Y間に印加するパルス数を変更できる構成のドライバ回路を用い、1フィールド分の割り当て期間Tfを6個の期間T1～T6に分割する。

【0032】各期間T1〜T6では、グループどうしてサブフィールドが異なるように6個のサブフィールドから各グループに対応した部分を抜き出して組み合わせた画像情報（これを“混成サブフィールド”と呼称する）を表示する。各期間T1〜T6は、図4のサブフィールド期間Ts fに相当するものであって、リセット期間TR、アドレス期間TA、およびサステイン期間TSからなる。ただし、サステイン期間TSの長さはグループ毎に異なる。

【0033】グループ1, 2, 3, 4, 5, 6に対してサステイン期間に印加する電圧パルス数の比率を、期間T1では1/2/4/8/16/32、期間T2では3/2/1/2/4/8/16、期間T3では16/32/1/2/4/8というように切り換えていき、6個の期間T1～T6の総合で64階調表示を行う。これによれば、グループ毎に動画偽輪郭の現われ方が異なるので、グループどうしで動画偽輪郭が打ち消し合って結果的に表示品質が改善される。ただし、6個の期間T1～T6のいずれもが最大輝度のサブフィールドを表示する時間を必要とするので、表示ライン数が多くなると駆動の時間が不足する。その場合はグループ数を減らし、最も動画偽輪郭の発生しやすい階調範囲を分散させることが有効である。グループの数は、サブフィールドと同数にする必要はない。例えば、駆動回路を簡単にするため、奇数番目の表示ラインのグループと偶数番目の表示ラインのグループとに分け、一方のグループについては重みで表して1/8/16/32/4/2の順序で6個のサブフィールドを表示し、他方のグループは2/4/32/16/8/1の順序でサブフィールドを表示しても動画偽輪郭は低減する。

【００３４】〔実施例２〕図６は実施例２の電圧波形図である。サブフィールド期間 $T_{sf}$ は、リセット期間 $T_R$ と、アドレッシングと並行してＡＣパルスメモリ駆動を行うアドレス・サステイン期間 $T_H$ とで構成される。

【0035】リセット期間TRにおいて、例えば表示電極XにパルスPrを印加することによって、全てのX-

Y間に放電開始電圧よりも十分に高い電圧（例えば300ボルト）を加えて放電を生じさせた後、30 $\mu$ s以上の時間をかけて徐々に印加電圧を降下させる。これにより、表示電極X、Yを覆う誘電体層に多量の壁電荷が形成され、放電開始電圧に近い壁電圧が生じる。この状態でアドレス・サステイン期間THに移行する。

【0036】アドレス・サステイン期間THでは、アドレッシングの選択順にタイミングをずらして各表示ラインに対する電圧パルス列（波高値130ボルト／パルス幅1 $\mu$ s）の印加を開始する。開始直後は過剰放電が生じるが、次第に適正な表示放電となる。最初の数発の電圧パルスPdは放電の安定化を担う。印加の開始をずらして安定化のパルス数を揃えることで、表示ラインどうしの輝度の均等化を図ることができる。全ての表示ラインで一斉に安定化を開始すると、アドレス順位が下位になるほど安定化のパルス数が増えて背景発光が増大してしまう。このように放電の安定化をした後、波高値を電圧パルスPdの約2/3に下げたスキャンパルスPyを印加して表示ラインの選択を行い、それと同期させて選択表示ラインのサブフィールドデータに従ってアドレス電極Aに波高値Vaが約60ボルトのアドレスパルスPaを印加する。これは消去形式のアドレッシングである。アドレスパルスPaを印加したセルのみで表示放電が持続し、他のセルでは放電が停止する。壁電荷を消去する非点灯セルを点灯セルと反対極性の壁電荷が貯まる状態とすれば、非点灯セルに半選択でアドレス電圧Vaが印加されても放電は起こらない。表示電極Xには当該期間THにおいて恒常的に電圧パルスPdを印加し、表示電極Yに印加する電圧パルスPdの数を変えて輝度を制御する。

【0037】[実施例3] 図7は実施例3の電圧波形図である。実施例2と同様に消去形式のアドレッシングを行った後で、さらに少なくとも1回のアドレッシング（消去形式）を行う。図示の例において、1回目では電荷が消去されず2回目で消去されたセルの表示輝度は、消去以前に印加される電極パルスPdの数で決まる。1回目および2回目のどちらのアドレッシングでも壁電荷が消去されなかったセルの表示輝度は、アドレス・サステイン期間THに印加される電極パルスPdの総数で決まる。表示の階調数は、サブフィールド分割で決まる数にサブフィールド当たりのアドレッシング回数を乗じた値となる。

【0038】本実施例では、アドレッシング毎に初期化を行う場合と比べて、1フレーム当たりの初期化回数が減るので、背景発光の輝度が低下してコントラストが向上する。

【0039】[実施例4] 図8は実施例4に係るサブフィールドの表示順序を示す図である。図5の例と同様に、表示ラインをサブフィールド数と同数（ここでは6）のグループに分け、6個のサブフィールドから各グ

ループに対応した部分を抜き出して組み合わせる。つまり、6個のサブフィールドを6個の混成サブフィールドmsf1～msf6に組み換えて表示する。図5の例では混成サブフィールド毎に独立した期間T1～T6を割り当てたが、本実施例では混成サブフィールドmsf1～msf6のアドレッシングを次々と連続的にを行い、アドレッシングの済んだ表示ラインから逐次にACパルスメモリ駆動を開始する。各混成サブフィールドとその次の混成サブフィールドとで表示の時期が重なる。

【0040】フィールド期間Tfの長さは、計6回のアドレッシングの所要時間と、最後に表示される混成サブフィールドmsf6における最後にアドレッシングされるグループ6のサステイン期間TS<sub>1</sub>の長さとの和以上となる。したがって、表示順序の設定に際しては、最後の混成サブフィールドmsf6の最後のグループ6が、輝度の重みが最も小さいサブフィールドとなるようにする。これにより、アドレッシングに割り当て可能な時間が長くなるので、サブフィールド数を増やしてより多階調にすることができる。

【0041】図9は実施例4の電圧波形図である。X-Y間にリセットパルスPrwを印加し、自己消去の直後にACパルスメモリ駆動用の電圧パルスVdを印加する。一旦、放電を停止させた後、表示電極Xに電圧パルスVdを、表示電極YにスキャンパルスPyを、サブフィールドデータで決まる特定のアドレス電極AにアドレスパルスPaを印加してアドレス放電を生じさせる。そして、アドレス放電による空間電荷で放電が生じ易くなっている期間内に、電圧パルス列の印加を開始して輝度に応じた回数の表示放電を生じさせる。

【0042】本例では、1つのグループで表示放電を生じさせるのと並行して他のグループのアドレッシングを行うので、ADS形式と比べて高速の駆動が可能である。アドレス速度は1ライン当たり2 $\mu$ s程度であり、表示ライン数が1000の場合であれば、画面を上下に分割することなく16.7msのフィールド期間に8サブフィールド256階調の表示が可能である。

【0043】混成サブフィールドに組み換えてサブフィールドを分散させることには、動画偽輪郭の低減に加えて、フィールド期間Tfの一時期に電力消費が偏る電流集中現象が無くなるという利点がある。すなわち、コンデンサによる瞬時電力の供給が可能になるとともに、トランスやトランジスタに対する電流供給能力（定格負荷）の要求が緩和されるので、電源回路を小型で低価格化のデバイスによって構成することができる。

【0044】なお、半選択での誤放電を防止するため、アドレッシングの以前と電圧パルス列の印加終了時とで帯電状況ができるだけ同じになる電圧を設定するのが望ましい。また、壁電荷を利用するACパルスメモリ駆動では、輝度に応じた回数の表示放電を終了した後に残った壁電荷が誤動作を招く。特に放電領域から離れた壁面

に付着した壁電荷は初期化で中和されずに残り易い。残留壁電荷を微量に抑えるには、リセットパルス $P_{rw}$ の極性をフィールド毎に反転させたり、電圧パルス列の最終パルス極性を定期的に反転させたりする対策が有効である。

【0045】

【発明の効果】請求項1乃至請求項10の発明によれば、従来よりも低い電圧で表示放電を生じさせて消費電力を低減し、それによって発光効率を高めることができる。

【0046】請求項5または請求項9の発明によれば、動画偽輪郭が目立たない高品位の表示を実現することができる。請求項6の発明によれば、フレームをより多くのサブフィールドに分割して階調性を高めることができる。

【0047】請求項8の発明によれば、不要発光をとまなう初期化の回数を減らし、背景発光を低減してコントラストを高めることができる。請求項10の発明によれば、動画偽輪郭をより確実に低減することができる。

【図面の簡単な説明】

【図1】本発明に係るACパルスメモリ駆動の概念図である。

【図2】本発明に係る表示装置の構成図である。

【図3】本発明に係るPDPのセル構造を示す図である。

【図4】実施例1の電圧波形図である。

【図5】サブフィールドの表示順序の一例を示す図である。

【図6】実施例2の電圧波形図である。

【図7】実施例3の電圧波形図である。

【図8】実施例4に係るサブフィールドの表示順序を示す図である。

【図9】実施例4の電圧波形図である。

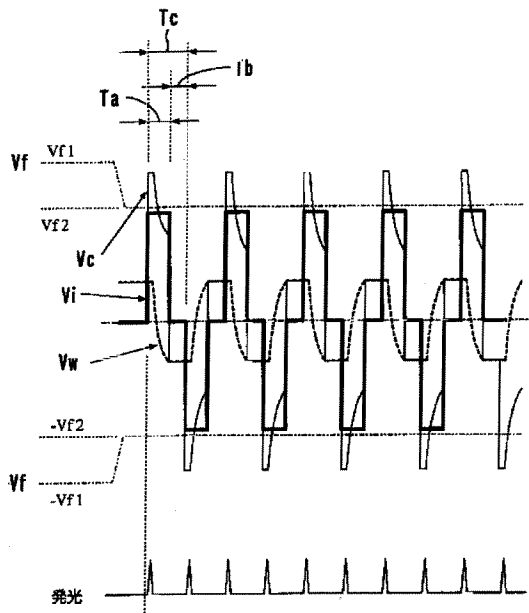
【図10】従来のAC型PDPの駆動方法の概念図である。

【符号の説明】

- 1 PDP
- $T_c$  周期（時間間隔）
- X, Y 表示電極
- $V_w$  壁電圧
- $P_d$  電圧パルス
- $T_a$  壁電荷蓄積時間
- $T_b$  印加休止期間
- $V_f$  放電開始電圧
- $V_d$  放電開始電圧よりも低い電圧
- TA アドレス期間
- TS サステイン期間（表示期間）
- $V_r$  放電開始電圧よりも高い電圧

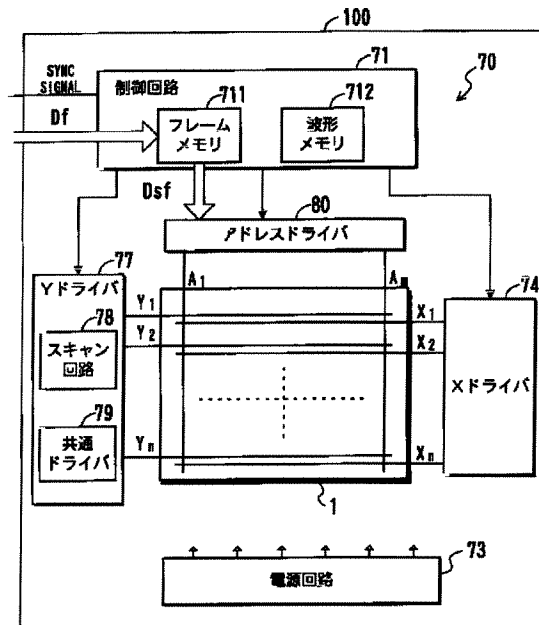
【図1】

本発明に係るACパルスメモリ駆動の概念図



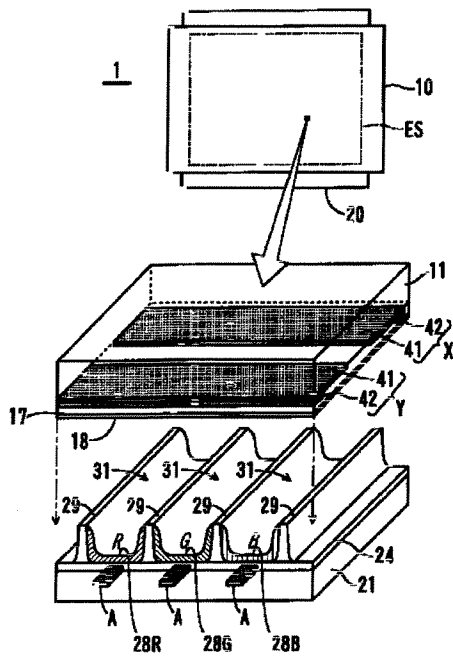
【図2】

本発明に係る表示装置の構成図



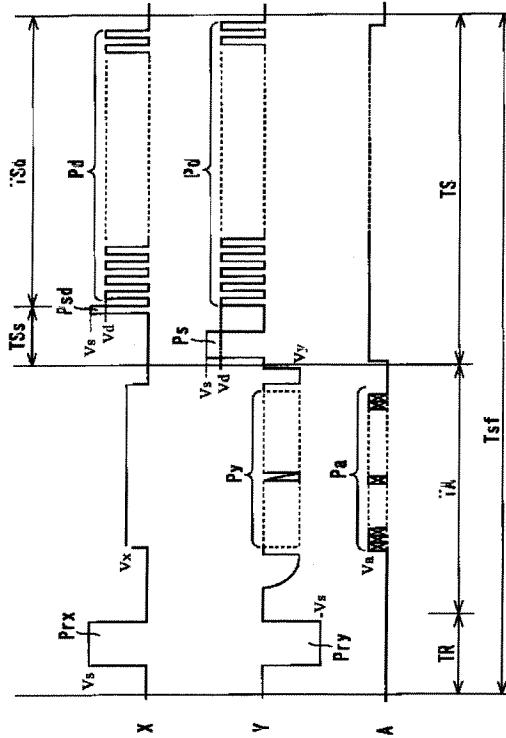
【図3】

本発明に係るPDPのセル構造を示す図



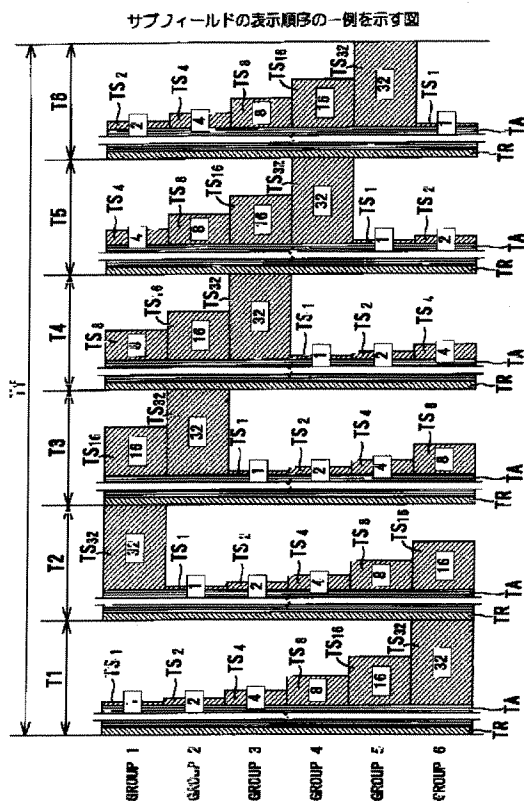
【図4】

実施例1の電圧波形図

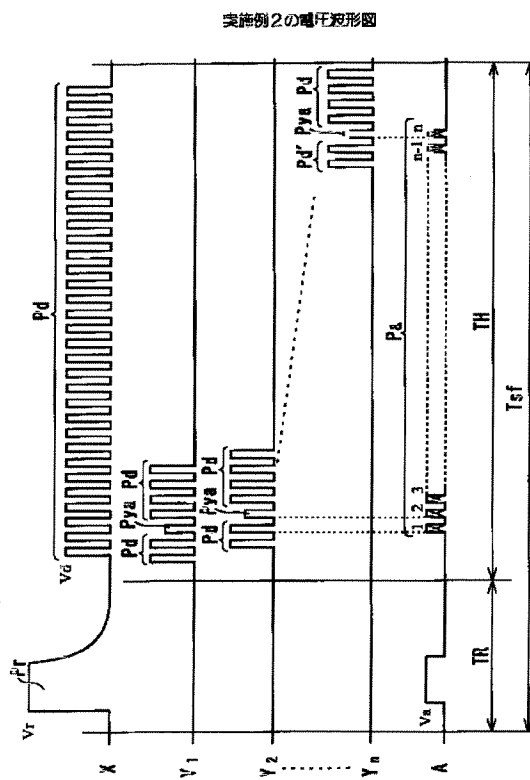




【図5】

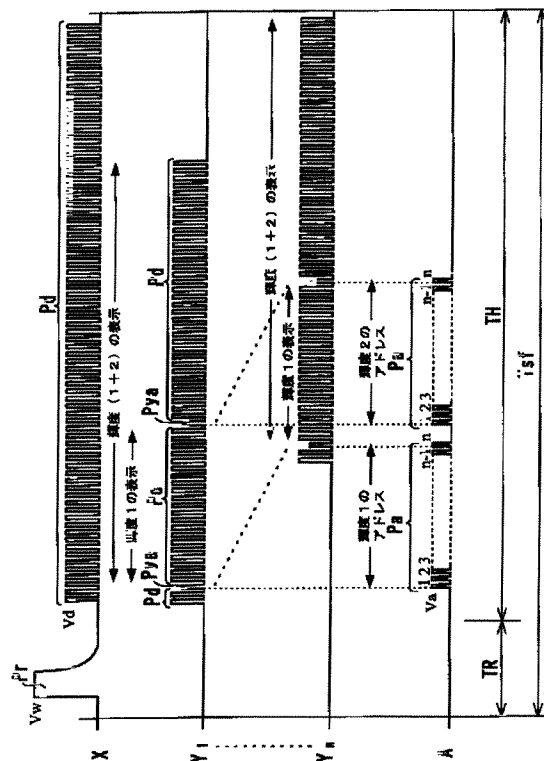


【図6】



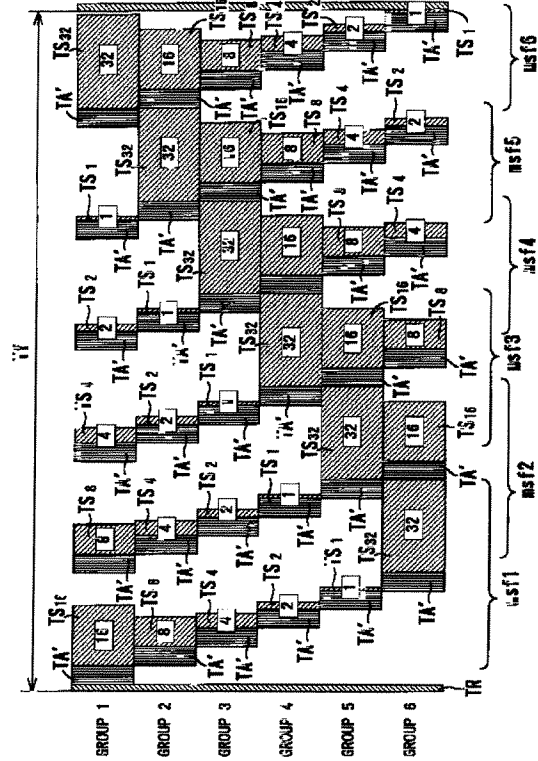
【図7】

実施例3の電圧波形図

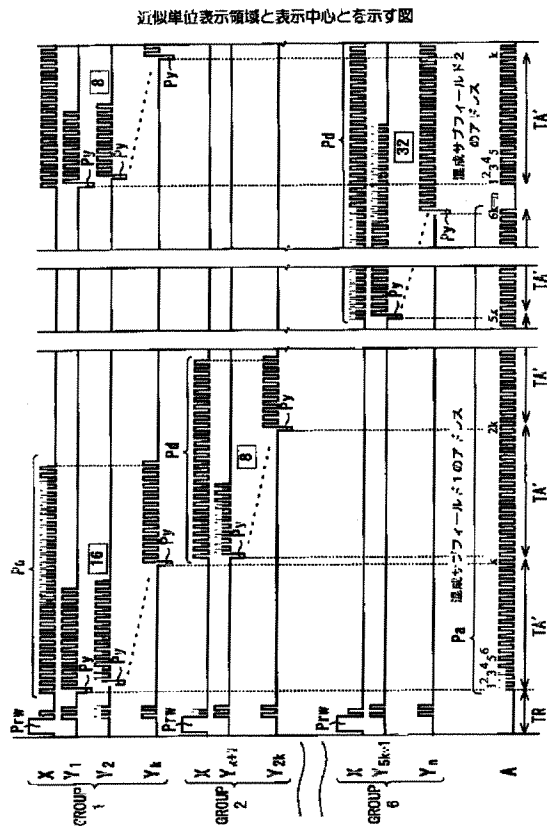


【図8】

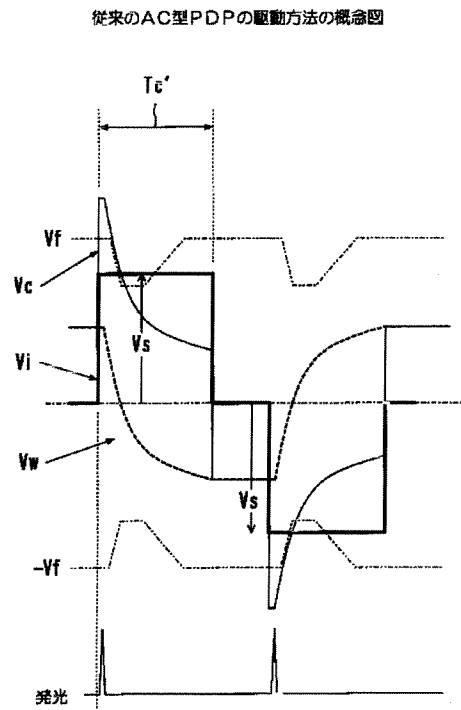
実施例4に係るサブフィールドの表示順序を示す図



【図9】



【図10】



フロントページの続き

Fターム(参考) 5C080 AA05 BB05 CC03 DD26 EE19  
EE29 HH02 HH04 JJ02 JJ04